

Liq Ar TPC RO Digital Board

概要

液体アルゴン TPC(Time Projection Chamber)検出器の読み出し用に開発された基板です。なお前段に LTARS ASIC(preamp + shaper + buffer)を実装した 32ch Analog Board を接続することを想定しています。本基板は、まず 32ch のアナログ差動信号の AD 変換を行います。変換したデータは FPGA 内に構成されたリングバッファに格納され、さらに NIM-In をトリガーとしてリングバッファのデータを PC に転送します。なおデータ転送は、FPGA に SiTCP(KEK の素粒子原子核研究所で開発された TCP/IP)を実装することによりイーサネット経由で行います。また本基板は Open-it のプロジェクトの一つとして開発されました。



仕様

- I/F INPUT: 8831E-100-170L-F (32ch Differential Signal , 2V p-p differential Input voltage range)
OUTPUT: Ethernet (RJ45, SFP)
OTHER: NIM-In 4ch , NIM-Out 1ch , JTAG
- ADC AD9637BCPZ-40: 12-Bit , 10 ~ 40MSPS , 0 ~ 2.0Vp-p Range
- FPGA Artix-7 xc7a100t-1fgg484c
- Power $\pm 3.3V$
- Size 92mm \times 145mm
- Other LED 4ch , DIP switch 4ch

ファームウェア

使用している FPGA の関係から、開発環境として Xilinx Vivado® Design Suite を推奨します。

サンプルコード

4つの ADC のデータをリングバッファに常々書き込み続けます。トリガを受信したら、設定された時間幅の ADC データを既定のフォーマットにて PC へ転送 (TCP 通信) します。また Delay 値を設定する事ができ、トリガ受信から設定された時間だけ過去のデータを取得する事ができます。

ADC の実際のサンプリング速度は 20Msps、さらにデータを 1/8 に間引いて、2.5Msps のサンプリングとしています。ADC データは 1 トリガにつき最大 4k samples/ch を設定できます。

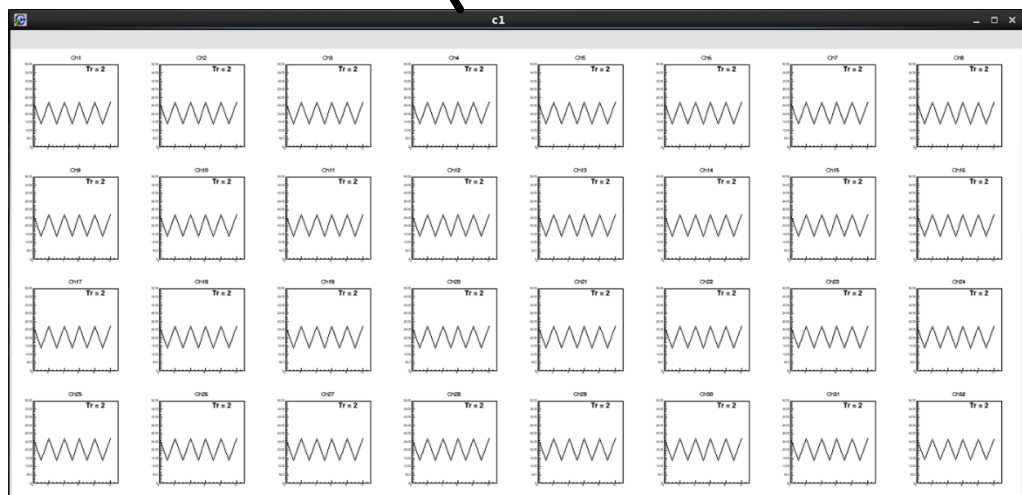
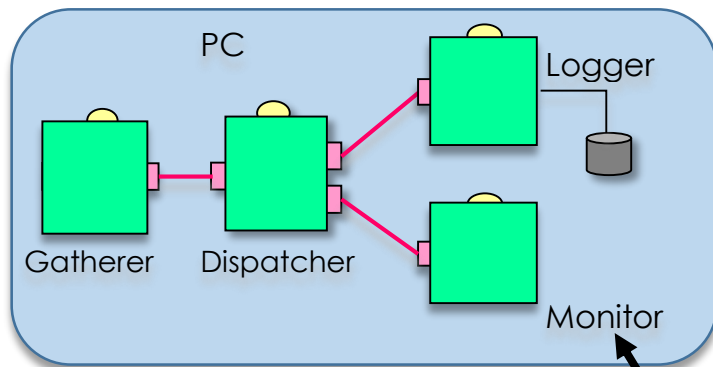
SITCP の機能の一つとして UDP を用いたスローコントロールにより、ADC の各種パラメータや、FPGA 内で使用しているパラメータを規定しているレジスタを書き換える事ができます。

ソフトウェア

サンプルコード

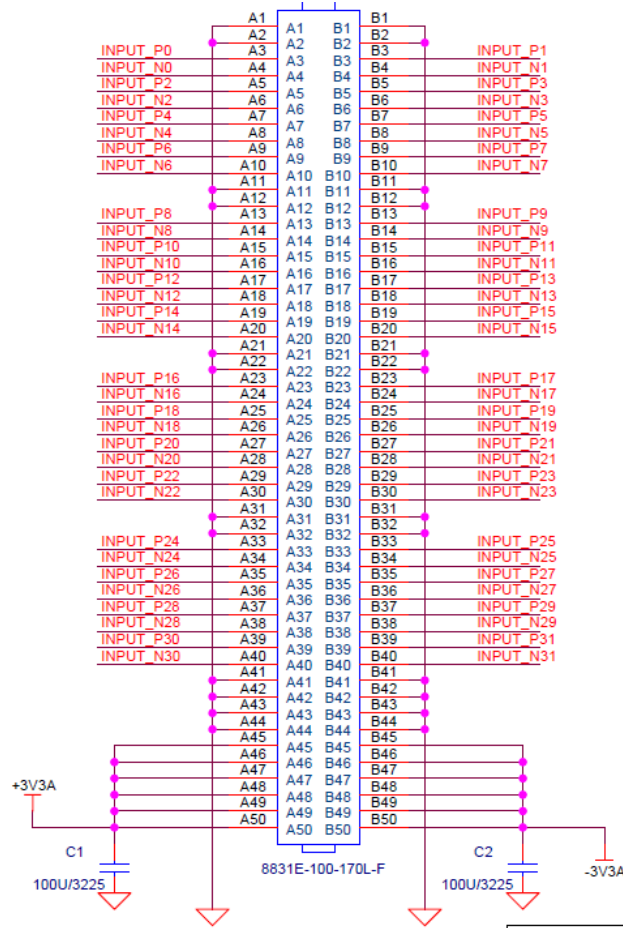
DAQ-Middleware にて作成したソフトウェアです。

以下のような構成となっており、リアルタイムでの ADC データのモニタリングと FPGA から転送されてきたデータの保存が出来ます。またスタート、ストップなどのコントロールは、コンソールもしくはブラウザから行う事ができます。

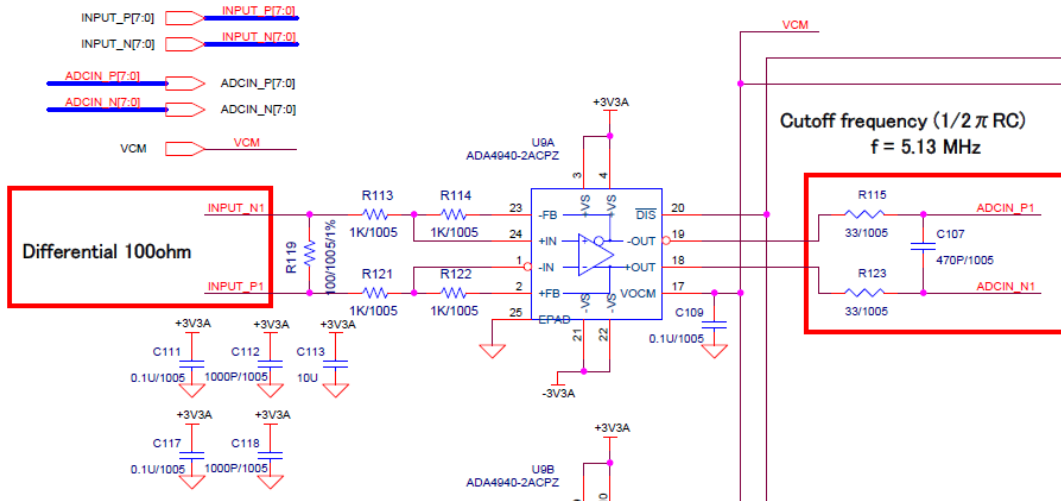


付録

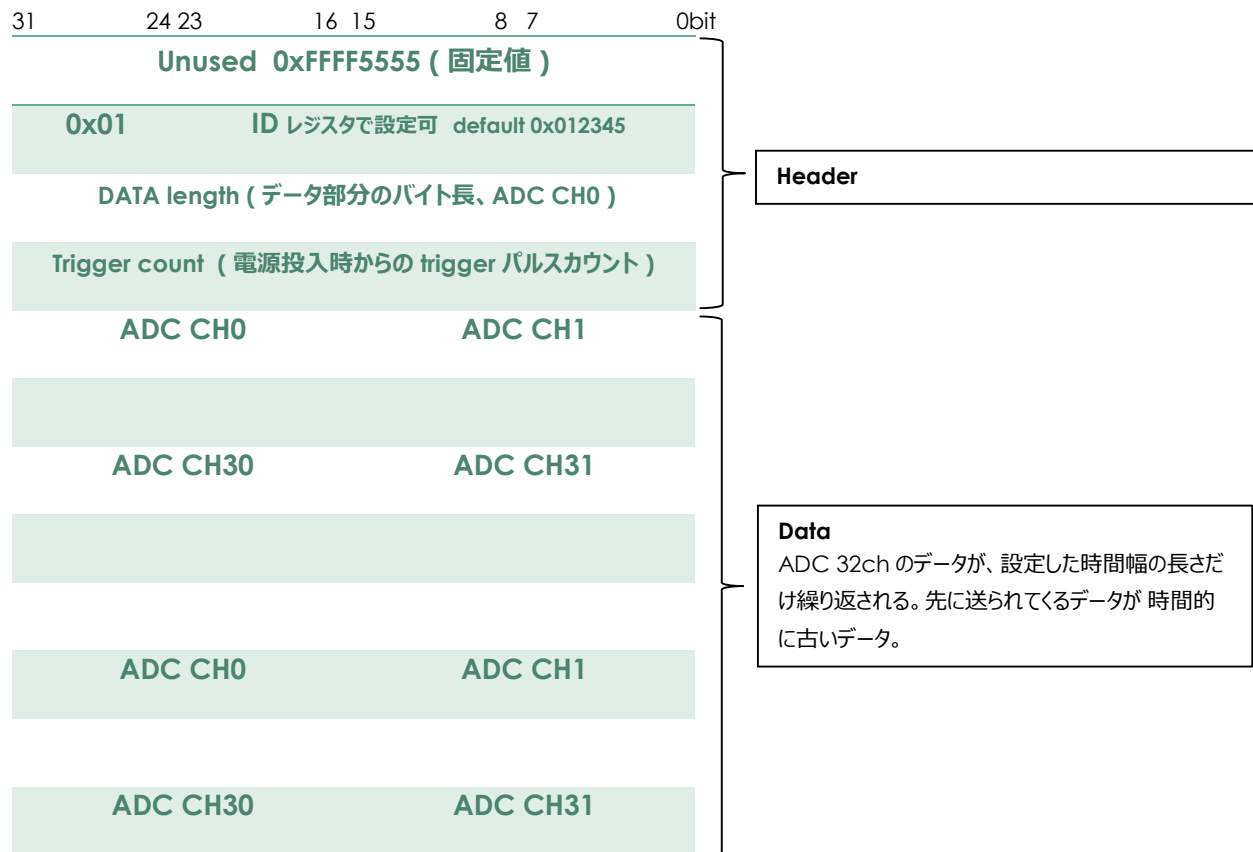
入カコネクタのピンアサイン



ADC レシーバー



データフォーマット



注意

本基板では、使用している ADC の性能からサンプリング速度を最大 40Msps まで設定する事が可能(ファームウェアの書き換えが必要です。)ですが、その際は ADC レシーバーの後段に実装しているアンチエイリアスフィルタのパラメータを変える必要があります。

またピンアサインや ADC の順番などが非常に間違えやすいので注意する必要があります。

製作者

横浜国立大学
物理情報工学専攻
中村研究室
岩崎裕也